

修 士 論 文 の 和 文 要 旨

研究科・専攻	大 学 院 情 報 シ ス テ ム 学 研 究 科 情 報 ネ ッ ト ワ ー ク 学 専攻 博士前期課程		
氏 名	玄田 雅孝	学籍番号	0651007
論 文 題 目	並列 2Dimensional Queue Processor の設計に関する研究		
<p>要 旨</p> <p>我々の研究室では中間記憶にFIFO(First In First Out) メモリーであるキューを用いたキュープロセッサを研究している. キュープロセッサは高性能でなおかつ低消費電力が期待できるプロセッサである. しかし研究が進みキュープロセッサにはまだ解決すべき問題がいくつかあることがあきらかになった. 問題はプログラムによっては, オフセットが大きな値になる事やキューを長くする必要があること. またキューでありながら実用上ランダムアクセスレジスタを持つ必要があることである.</p> <p>これらの問題を解決すべく複数のキューを持つキュープロセッサであるMDQ(Multi Dimensional Queue Processor) が提案されている. MDQはキューをランダムアクセスレジスタとしても使用することができる. これまでにMDQ の基本構成と基本特性については検討していたが, MDQ のハードウェア設計に関する研究はなされていなかった. そこで「キューの選択ビットが最少でオフセットや即値への影響が少ない」, 「一本の並列キューのPQP と比較してもハードウェアの構成を大きく変える必要が無い」, 「キュー用のコンパイラの開発が進み, オフセットの範囲がどの程度になるかが明らかになっている」ことなどからキューが2 本の2DQ でも十分MDQの恩恵が得られると考え2DQ の研究を行った.</p> <p>設計した2DQ は7 段パイプラインステージの4 並列キュープロセッサである. 設計ではハードウェア記述言語Verilog HDL を用いて2DQ のRTL 設計を行った. 論理合成の結果は2 入力NAND 換算で面積は1251980個分, ゲート数は589782, 各パイプラインステージの遅延は最大で43.3 [nsec] となった. シミュレーションを行い簡単なプログラムで機能検証を行い, 意図したとおりに動作することが確認できた. この研究によりこれまでのキュープロセッサの欠点をなくし, またランダムアクセスレジスタの概念の無い, ハードウェア複雑性の小さいキュープロセッサの基本設計に成功した.</p>			